



(19)

(11) Publication number:

0

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **04024950**(51) Intl. Cl.: **G06F 9/38 G06F 11/00 G06**(22) Application date: **12.02.92**

(30) Priority:	(71) Applicant: NEC CORP KOUFU NIPPON DENK
(43) Date of application publication: 10.09.93	(72) Inventor: MORISADA TAKESHI KIMURA MASAYUKI
(84) Designated contracting states:	(74) Representative:

**(54) FAULT PROCESSING
SYSTEM FOR BRANCH
HISTORY TABLE**

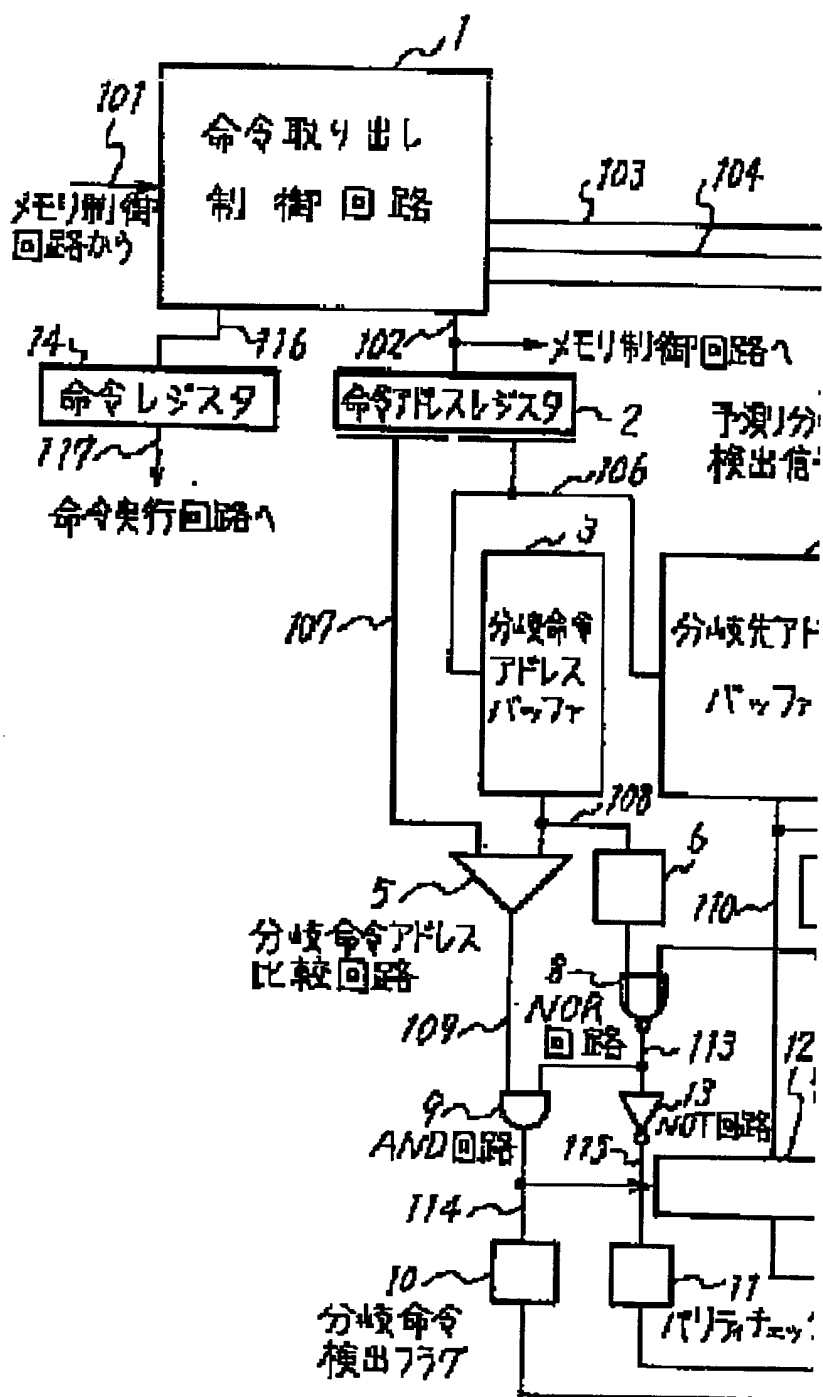
(57) Abstract:

PURPOSE: To improve the probability (of instruction restart after the processing of a fault generated in data read out from a branch history table.

CONSTITUTION: This branch history table fault processing system is characteristically provided with branch instruction address buffer 3 constituting a branch history table, the 1st and 2nd parity check circuits 6,7 for detecting whether an error is included in data read out from a branched address buffer 4 or not, an AND circuit 9 for suppressing the propagation of error data from the branch history table at the time of detecting an error by the circuits 6, 7, and a parity check flag 11 for suppressing the supply of an instruction after detecting the error data by the circuits 6, 7. Since fault

processing is started at the division of instructions, instruction processing can be restarted after ending the fault processing.

COPYRIGHT: (C)1993,JPO&Japio



(11)特許出願公開番号

特開平5-233282

(43)公開日 平成5年(1993)9月10日

(51) Int.Cl.⁵

G O 6 F 9/38

11/00

11/14

識別記号

片内整理番号

3 3 0 B 9290-5B

3 1 0 G 7313-5B

3 1 0 N 7313-5B

FI

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-24950

(22)出願日 平成4年(1992)2月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72)発明者 森定 剛

東京都港区芝五丁目7番1号日本電気株式
会社内

(72)発明者 木村 真行

山梨県甲府市大津町1088-3 甲府日本電気
株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

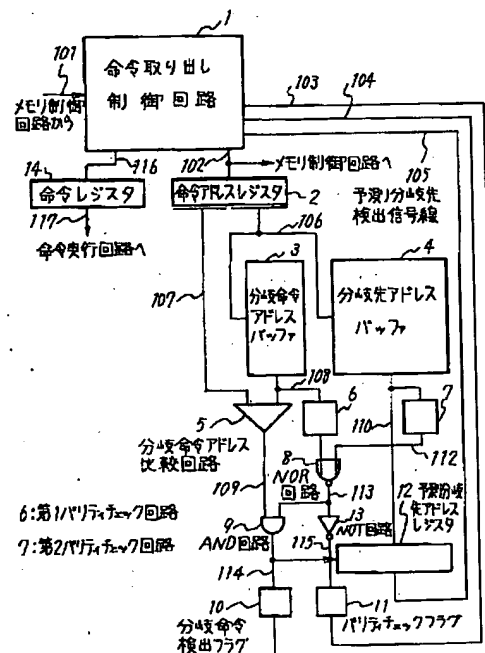
(54)【発明の名称】 分岐ヒストリテーブル障害処理方式

(57) 【要約】

【目的】 分岐ヒストリテーブルの読出しデータに障害があった場合に、この障害の処理後の命令再開の可能性を向上させる。

【構成】 分岐ヒストリテーブルを構成する分岐命令アドレスバッファ3、分岐先アドレスバッファ4より読出したデータにエラーがあるかどうかを検出する第1パリティチェック回路6、第2パリティチェック回路7と、これらのパリティチェック回路によりエラーが検出された場合に、分岐ヒストリテーブルからのエラーデータの伝搬を抑止するAND回路9と、第1、第2のパリティチェック回路6、7によりエラーデータが検出されたことにより、以後の命令後供給を抑止するパリティチェックフラグ11を有することを特徴とする分岐ヒストリテーブル障害処理方式。

【効果】 命令の切れ目で障害処理を開始することにより、障害処理終了後の命令処理の再開が可能となる。



1

【特許請求の範囲】

【請求項1】分岐命令のアドレスと該分岐命令の分岐先アドレスを対にして記憶する分岐ヒストリテーブルと、前記分岐ヒストリテーブルから読み出された、分岐命令のアドレス、または該分岐命令の分岐先アドレスにエラーがあるかどうかを検出するエラー検出手段と、前記エラー検出手段により、前記分岐ヒストリテーブルにエラーデータがあることが示された場合に、該エラーデータの伝搬を抑止するエラー伝搬抑止手段と、前記エラー検出手段により、前記分岐ヒストリテーブルにエラーデータがあることが示されたことにより、それ以後の命令処理を中止すべく、命令語の供給を抑止する命令語供給抑止手段とから構成されることを特徴とする分岐ヒストリテーブル障害処理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、分岐ヒストリテーブル障害処理方式に関し、特に分岐ヒストリテーブルの読み出し時に、読み出しデータにエラーがあったときの処理方式に関する。

【0002】

【従来の技術】分岐ヒストリテーブルは、例えば特公昭50-22384に開示されているように、命令取り出し時の命令取り出しアドレスによって分岐先アドレスを予測することが可能であるため、実際に分岐命令を処理する以前に分岐先命令を先取ることが可能となり、分岐命令の高速化にたいへん効果がある。

【0003】このように分岐ヒストリテーブルは、分岐の高速化に効果があるのであるが、予測の確率をあげるためには大きな容量が必要であり、そのためRAMで構成されることが多い。しかしながら、RAMで構成した場合、一般的にほかの論理回路故障率が上がってしまうため、その検出手段と処理方式が必要である。そして、従来は、分岐ヒストリテーブルが故障した場合、その時点でエラーを報告してエラー処理に入っている。

【0004】

【発明が解決しようとする課題】この従来の分岐ヒストリテーブル障害処理方式では、分岐ヒストリテーブルが故障した時点でその命令の処理状況により、複数命令が途中で中断されることになるので、命令再開が不可能になる可能性が高いという問題点があった。

【0005】

【課題を解決するための手段】本発明の分岐ヒストリテーブル障害処理方式は、分岐命令のアドレスと該分岐命令の分岐先アドレスを対にして記憶する分岐ヒストリテーブルと、前記分岐ヒストリテーブルから読み出された、分岐命令のアドレス、または該分岐命令の分岐先アドレスにエラーがあるかどうかを検出するエラー検出手段と、前記エラー検出手段により、前記分岐ヒストリテーブルにエラーデータがあることが示された場合に、該

2

エラーデータの伝搬を抑止するエラー伝搬抑止手段と、前記エラー検出手段により、前記分岐ヒストリテーブルにエラーデータがあることが示されたことにより、それ以後の命令処理を中止すべく、命令語の供給を抑止する命令語供給抑止手段とを有する。

【0006】

【実施例】次に、本発明について図面を参照して説明する。

【0007】図1は本発明の一実施例である。

【0008】図1において、命令取り出し制御回路1は、命令の取り出しを制御する制御回路であり、信号線103を介し分岐命令検出フラグ10より送出される予測分岐先検出信号線105を介し予測分岐先アドレスレジスタ12より送出される予測分岐先アドレスにより、次に取り出す命令語のアドレスを生成し、メモリ制御回路（図示せず）及び命令アドレスレジスタ2に命令取り出しアドレスを送出する。

【0009】また、信号線101を介しメモリ制御回路より送出された取り出された命令語を受けて記憶し、信号線104を介しパリティチェックフラグ11より送出される分岐ヒストリテーブルエラー検出信号により分岐ヒストリテーブルの読み出しデータにエラーがない場合、次に実行すべき命令語を信号線116を介し命令レジスタ14に送出する。

【0010】命令アドレスレジスタ2は、命令取り出し時の命令語アドレスを保持するレジスタであり、信号線102を介し命令取り出し制御回路1より送出される命令取り出しアドレスを受け、信号線106を介し命令アドレスの下位ビットを分岐命令アドレスバッファ3及び分岐先アドレスバッファ4にそのアドレスとして送出し、またその上位ビットを分岐命令アドレスとの比較のために信号線107を介し分岐命令アドレス比較回路5に送出する。

【0011】分岐命令アドレスバッファ3は、以前分岐した分岐命令の分岐命令アドレスを記憶するメモリであり、信号線106を介し命令アドレスレジスタ2の下位ビットによって示されるアドレスより分岐命令の命令アドレスを読み出し、信号線108を介し分岐命令アドレス比較回路5及び第1パリティチェック回路6に送出する。

【0012】分岐先アドレスバッファ4は、以前分岐した分岐命令の分岐先アドレスを記憶するメモリであり、信号線106を介し命令アドレスレジスタ2の下位ビットによって示されるアドレスより分岐命令の分岐先アドレスを読み出し、予測分岐先アドレスとして信号線110を介し予測分岐先アドレスレジスタ12及び第2パリティチェック回路7に送出する。

【0013】分岐命令アドレス比較回路5は、以前分岐した分岐命令の命令アドレスと命令取り出しアドレスを比較する比較回路であり、信号線107を介し命令アド

3

レジスタ2の上位ビットによって示される命令取り出しアドレスと信号線108を介し分岐命令アドレスバッファ3によって示される分岐命令の命令アドレスを比較し、一致した場合は“1”を、そうでない場合は“0”を信号線109を介しAND回路9に送出する。

【0014】第1パリティチェック回路6は、分岐命令アドレスバッファ3のデータが壊れていないかどうかを検出する検出回路であり、信号線108を介し分岐命令アドレスバッファ3から読み出した以前の分岐命令の命令アドレスを受け、そのデータが壊れていないかどうかを10
チェックし、その結果、壊れていない場合は“0”を、壊れていた場合は“1”を信号線111を介しNOR回路8に送出する。

【0015】第2パリティチェック回路7は、DAB4のデータが壊れていないかどうかを検出する検出回路であり、信号線110を介し分岐先アドレスバッファ4から読み出した以前の分岐命令の分岐先アドレスを受け、そのデータが壊れていないかどうかをチェックし、その結果、壊れていない場合は“0”を、壊れていた場合は“1”を信号線112を介しNOR回路8に送出する。20

【0016】NOR回路8は、分岐命令アドレスバッファ3または分岐先アドレスバッファ4の読み出しデータが壊れていたかどうかを示すためのゲートであり、信号線111と信号線112の論理和を取り、その否定、つまり分岐命令アドレスバッファ3または分岐先アドレスバッファ4のデータが壊れていた場合は“0”を、そうでない場合は“1”を信号線113を介しAND回路9及びNOT回路13に送出する。

【0017】AND回路9は、予測分岐先アドレスが見つかったかどうかを示す信号を作成するゲートであり、30
信号線109を介し分岐命令アドレス比較回路5によって示される以前分岐した分岐命令の命令アドレスと命令取り出しアドレスの比較結果と、信号線113を介して示される分岐命令アドレスバッファ3または分岐先アドレスバッファ4のデータに壊れていたかどうかを示す信号の論理積を取り、その結果データが壊れていた場合は常に“0”を、そうでない場合は分岐命令アドレス比較回路5での比較結果をそのまま、信号線114を介し分岐命令検出フラグ10及び予測分岐先アドレスレジスタ12に送出する。

【0018】分岐命令検出フラグ10は、予測分岐先が見つかったかどうかを示すフラグであり、信号線114を介しAND回路9より以前分岐した分岐命令の命令アドレスと命令取り出しアドレスと一致しておりかつ分岐命令アドレスバッファ3及び分岐先アドレスバッファ4のデータがエラーしていないことが示されたとき点灯し、その結果を信号線103を介し命令取り出し制御回路1に予測分岐先アドレスの検出とそのアドレスの先取り開始を示す信号を送出する。

【0019】パリティチェックフラグ11は、分岐命令 50

4

アドレスバッファ3及び分岐先アドレスバッファ4の読み出しデータに誤りがあったことを示すフラグであり、信号線115を介し、NOT回路13によって示されるエラー検出信号を受け、信号線104を介し命令取り出し制御回路にエラーを検出したので以後の命令取り出しを全て中止する事を指示する信号を送出する。

【0020】予測分岐先アドレスレジスタ12は、予測分岐先アドレス検出時に、分岐命令検出フラグ10と同期して予測分岐先アドレスを保持するレジスタであり、信号線114を介してAND回路9から予測分岐先アドレスが見つかったことが示されると、それにより信号線110を介して分岐先アドレスバッファ4により示される以前分岐した分岐命令の分岐先アドレスを予測分岐先アドレスとして保持し、分岐命令検出フラグ10により命令取り出し制御回路1に予測分岐先アドレスが検出されたことが示されるのと同時に、その予測分岐先アドレスを信号線104を介し命令取り出し制御回路1に送出する。

【0021】NOT回路13は、分岐命令アドレスバッファ3または分岐先アドレスバッファ4の読み出しデータに誤りがあったことを示すゲートであり、信号線113を介しNOR回路8によって示される信号の否定を信号線115を介しパリティチェックフラグ11に送出する。

【0022】命令レジスタ14は、命令実行回路（図示せず）に命令語を供給する為のレジスタであり、信号線116を介し命令取り出す制御回路1より送出された命令語を受け命令実行回路に信号線117を介してその命令語を供給する。

【0023】次に、実際の動作について簡単に説明する。

【0024】分岐命令アドレスレジスタ3及び分岐先アドレスレジスタ4のデータがエラーしていない場合は、命令取り出し制御回路1より送出される命令取り出しアドレスは、信号線102を介し命令アドレスレジスタ2に保持される。命令アドレスレジスタ2の出力により分岐命令アドレスバッファ3および分岐先アドレスバッファ4が読み出され、もし分岐命令アドレスバッファ3の示す命令アドレスと命令アドレスレジスタ2の示す命令アドレスが一致した場合は、分岐命令アドレス比較回路5の出力線109が“1”を示す。このとき分岐命令アドレスバッファ3及び分岐先アドレスバッファ4のデータはエラーしていないのだから信号線111及び信号線112は“0”を示し、信号線113は“1”を示す。これにより信号線114が“1”になり、分岐命令検出フラグ10が点灯し、予測分岐先アドレスレジスタ12に分岐先アドレスが保持される。

【0025】この後命令取り出し制御回路1は予測分岐先アドレスレジスタ12によって示されるアドレスから命令取り出しを開始する。取り出された命令語は、信号

5

線101を介しメモリ制御回路より命令取り出し制御回路1に送出され、命令取り出し制御回路1はその命令語を内部に蓄え、必要に応じて信号線116を介し命令レジスタ14に供給され、命令レジスタ14から命令語を実行する命令実行回路に供給される。

【0026】分岐命令アドレスレジスタ3または分岐先アドレスレジスタ4のデータがエラーしている場合においても、最初、命令取り出す制御回路1より送出される命令取り出しアドレスは、信号線102を介し命令アドレスレジスタ2に保持される。命令アドレスレジスタ2の出力により分岐命令アドレスレジスタ3および分岐先アドレスレジスタ4が読み出され、分岐命令アドレスレジスタ3の示す命令アドレスと命令アドレスレジスタ2の示す命令アドレスが比較される。

【0027】しかしながら、この場合、分岐命令アドレスレジスタ3または分岐先アドレスレジスタ4のデータがエラーしていることから、信号線111または信号線112が“1”を示し、信号線113は“0”を示す。これにより信号線114が必ず“0”になり、分岐命令検出フラグ10は点灯しないし、予測分岐先アドレスレジスタ12はストローブしない。このときパリティチェックフラグ11が点灯し、命令取り出し制御回路1はそれ以後、命令語の命令レジスタ14への供給を中止する。

6

【0028】

【発明の効果】以上説明したように本発明は、分岐ヒストリテーブルの読み出し時にエラーを検出した場合、以後の命令語の供給を抑止することにより命令語の切れ目で障害処理を開始することが可能となる。このことにより、障害処理の終了後、障害処理で中断した後の命令後からの再開が可能となる。

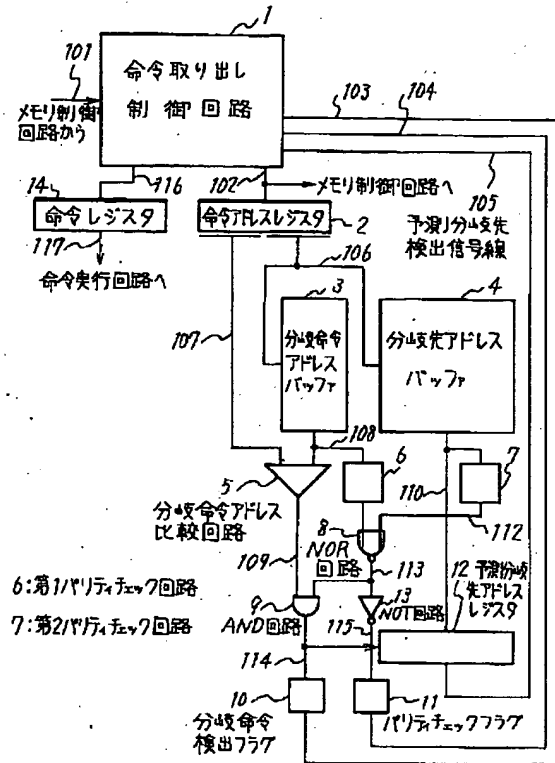
【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【符号の説明】

- | | |
|----|---------------|
| 1 | 命令取り出し制御回路 |
| 2 | 命令アドレスレジスタ |
| 3 | 分岐命令アドレスバッファ |
| 4 | 分岐先アドレスバッファ |
| 5 | 分岐命令アドレス比較回路 |
| 6 | 第1パリティチェック回路 |
| 7 | 第2パリティチェック回路 |
| 8 | NOR回路 |
| 9 | AND回路 |
| 10 | 分岐命令検出フラグ |
| 11 | パリティチェックフラグ |
| 12 | 予測分岐先アドレスレジスタ |
| 13 | NOT回路 |
| 14 | 命令レジスタ |

【図1】



THIS PAGE BLANK (USPTO)